

Апаратна Реалізація Алгоритму Сортування на Основі Просторово-Часових Графів

В.М. Грига, І.Т. Когут, В.І. Голота
кафедра комп'ютерної інженерії та електроніки
Прикарпатський національний університет
імені Василя Стефаника
Івано-Франківськ, Україна
volodymyr.gryga@pnu.edu.ua

Л.В. Николайчук
кафедра теорії оптимальних процесів
Львівський національний університет
імені Івана Франка
Львів, Україна
Lesia_Nykolaichuk@gmail.com

Hardware Implementation of Sorting Algorithm Based on Spatio-Temporal Graph

V. Gryga, I. Kogut, V. Golota
Department of Computer Engineering and Electronics
Vasyl Stefanyk Precarpathian
National University
Ivano-Frankivsk, Ukraine
volodymyr.gryga@pnu.edu.ua

L. Nykolaichuk
Department of Optimal Process Theory
Ivan Franko National University
of Lviv
Lviv, Ukraine
Lesia_Nykolaichuk@gmail.com

Анотація—Обґрунтовано застосування алгоритму сортування методом “парно-непарної” перестановки, який дозволяє виконати сортування даних апаратним способом за короткий час. Запропоновано нові структури багатотактових операційних пристроїв для заданого алгоритму сортування побудовані на основі просторово-часових графів, наведено аналітичні вирази для розрахунку затрат обладнання. Проведено порівняльний аналіз апаратної складності розроблених структур сортування даних з відомими реалізаціями.

Abstract—The application of the algorithm sorting permutation method “even-odd”, which allows you to sort the data hardware way in a short time. The new structure multiple operating devices for a given sorting algorithm are based on the spatio-temporal graph provides analytical expressions for calculating the cost of equipment. A comparative analysis of hardware complexity developed sorting data structures with known implementations.

Ключові слова—алгоритм сортування методом “парно-непарної” перестановки; багатотактовий операційний пристрій; потоковий, просторово-часовий граф алгоритму

Keywords—sorting algorithm by “even-odd” permutation method; multiple operating device; data flow, spatio-temporal graph of algorithm

І. ВСТУП

Сортування є одною з типових проблем обробки даних і зазвичай розуміється, як задача розміщення елементів неупорядкованого набору значень масивів даних, в порядку монотонного зростання або спадання [1]. Операція сортування в середньому займає 25% машинного часу [1] і найбільш часто використовується в задачах цифрової обробки сигналів та зображень. Паралельне виконання операцій алгоритму сортування декількома операційними пристроями одночасно значно прискорює час виконання алгоритму. Серед алгоритмів сортування паралельне виконання операцій можна виконувати для алгоритмів, в яких послідовність виконуваних операцій залежить тільки від числа вхідних даних і не залежить від значень їхніх ключів (неадаптивні або інваріантні до зсуву алгоритми).

Забезпечити виконання такої операції у реальному часі є можливим на спеціалізованих засобах, архітектура яких повністю відображає структуру алгоритму сортування і орієнтована на реалізацію у вигляді ПЛІС чи НВІС.

Проте при сортуванні масивів даних, структура пристрою містить велику кількість базових операцій та зв'язків між ними, які у випадку однократного виконання іноді є не задіяними та простоюють. Тому постає задача розробки та дослідження нових видів пристроїв

сортування, які б дали можливість при не критичних часових параметрах зменшити апаратну складність пристрою та площу кристалу на ПЛІС чи НВІС яку буде займати спроектована система.

Поставлене завдання вирішується шляхом представлення заданого алгоритму у вигляді ярусно-паралельної форми потокового графу (ЯПФ ПГ) та його просторово-часового перетворення [2], з використанням різних типів просторово-часових графів (ПЧГ), що дозволить вибрати оптимальну структуру відносно заданих технічних параметрів для вирішення потрібної задачі.

II. СТРУКТУРА ТА АПАРАТНА РЕАЛІЗАЦІЯ АЛГОРИТМУ СОРТУВАННЯ МЕТОДОМ “ПАРНО-НЕПАРНОЇ” ПЕРЕСТАНОВКИ

На рис. 1 зображено граф алгоритму сортування “парно-непарної” перестановки для 6-ти вхідних значень.

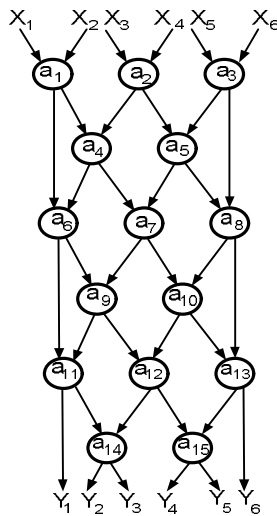


Рис. 1. Граф алгоритму сортування 6-ти значень методом “парно-непарної” перестановки.

Алгоритм сортування методом “парно-непарної” перестановки потребує для N вхідних значень - $N(N-1)/2$ операцій “порівняти і переставити” а часова складність даного алгоритму складає N операцій “порівняти і переставити” [1,3].

Для виявлення паралелізму графу алгоритму сортування методом “парно-непарної” перестановки, його потрібно подати у вигляді ярусно-паралельної форми (ЯПФ), в якій всі вершини графу розділені на яруси таким чином, що в межах одного ярусу між вершинами не має зв’язків. ЯПФ визначає степінь паралелізму графу (максимальна кількість вершин на одному ярусі або ширина графу), а також мінімально-можливий час обчислення даного алгоритму (кількість ярусів або висота графу)

Ширина ПГ алгоритму сортування методом “парно-непарної” перестановки складає - $N/2$, а висота - N операцій “порівняти і переставити”.

Апаратна реалізація описаного вище алгоритму сортування передбачає повне відображення його ПГ у структуру операційного пристрою, в якому вершинам графу (функціональним операторам) буде відповідати апаратний блок (операція) а дугам – лінії для передачі вхідних даних та проміжних і кінцевих результатів

На рис. 2 наведено структуру пристрою сортування 6-ти 8-ми розрядних чисел методом “парно-непарної” перестановки.

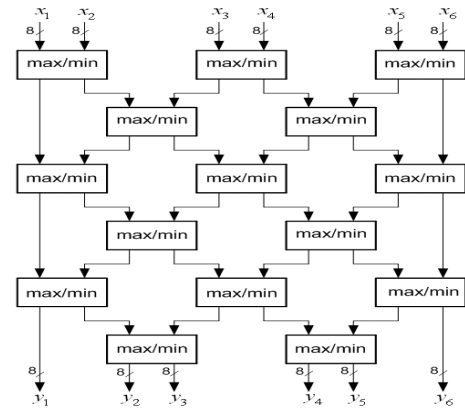


Рис. 2. Структура операційного пристрою сортування методом “парно-непарної” перестановки для 6-ти вхідних значень

Основою для вище поданої структури пристрою сортування є базова операція “порівняти і переставити” (рис. 3), яка дозволяє виконати порівняння двох чисел за допомогою схеми порівняння “на більше” та видати на один з виходів більше число (max) а на другий – менше число (min) [4].

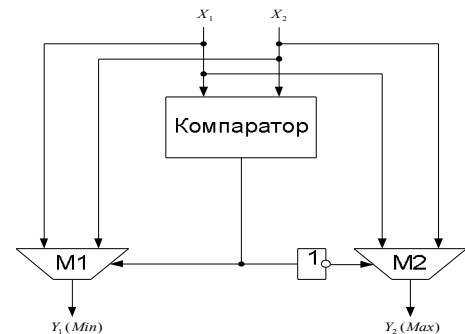


Рис. 3. Структурна схема операції “порівняти і переставити”

Структурна схема операції “порівняти і переставити” складається з компаратора та двох мультиплексорів (M1, M2). В основі компаратора є схема порівняння, яка порівнює два числа (X_1, X_2) та формує істинну ознаку, якщо ($X_1 > X_2$) в протилежному випадку формується хибне значення. Мультиплексор (M1) видає на вихід (Y_1) менше з двох чисел, а мультиплексор (M2) видає на вихід (Y_2) більше з двох чисел, в залежності від сформованого значення на їх керуючих входах, яке формується вихідним сигналом компаратора.

Структура схеми порівняння “на більше” для двох чотирьохрозрядних чисел [4,5] зображена на рис. 4.

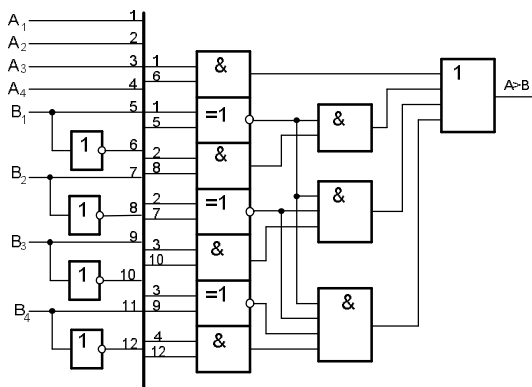


Рис. 4. Структура комбінаційної схеми порівняння двох чотирьохрозрядних чисел “на більше”

Дана комбінаційна схема складається з логічних елементів “НЕ”, “І”, “АБО” та “Виключаюче АБО”. Логічний елемент “Виключаюче АБО” містить 4 вентилі та має часову затримку 3 мікротакти [6].

Сумарна кількість вентилів даної схеми буде становити – 24 вентилі, а сумарна часова затримка – 6 мікротактів.

III. ПРОСТОРОВО-ЧАСОВЕ ПЕРЕТВОРЕННЯ АЛГОРИТМУ СОРТУВАННЯ МЕТОДОМ “ПАРНО-НЕПАРНОЇ” ПЕРЕСТАНОВКИ

Для реалізації різних типів багатотактових операційних пристроїв (БОП) сортування методом “парно-непарної” перестановки потрібно здійснити перетворення ПГА у відповідні їм просторово-часові графи, які відповідають різним типам таких БОП [7].

На рис. 5 зображено структуру БОП комбінованого типу алгоритму сортування методом “парно-непарної” перестановки.

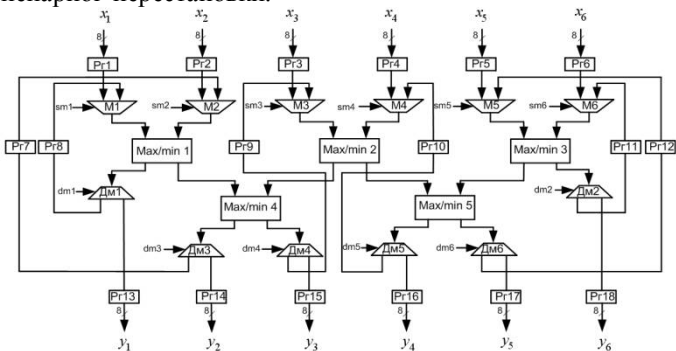


Рис. 5. Структура БОП комбінованого типу алгоритму сортування методом “парно-непарної” перестановки.

Дана структура БОП складається з 6-ти вхідних регістрів (Pr1,..., Pr6) на які подаються вхідні дані (x_1, \dots, x_6), 5-ти операційних блоків, які послідовно в часі виконують однотипні базові операції алгоритму, 6-ти проміжних регістрів (Pr7,...,Pr12), які затримують проміжні результати на відповідну кількість тактів, 6-ти

мультиплексорів (M1,...,M6), які за допомогою значень керуючих сигналів ($sm1, \dots, sm6$) згенерованих пристроєм керування послідовно пропускають вхідні дані та проміжні результати на входи операційних блоків, 6-ти демультиплексорів (Дм1,...,Дм6), які за допомогою значень керуючих сигналів ($dm1, \dots, dm6$) розподіляють у потрібні моменти часу проміжні результати на входи операційних блоків а кінцеві результати записуються у вихідні регістри (Pr13,...,Pr18).

Затрати обладнання на реалізацію БОП комбінованого типу для заданого алгоритму сортування будуть дорівнювати:

$$W_{\text{БОП}} = (N-1)W_{\text{ОБ}} + NW_{\text{Рex}} + NW_{\text{М1(2-1)}} + NW_{\text{ДМ1(1-2)}} + NW_{\text{ЕЗКР}} + NW_{\text{Рex}} \quad (1)$$

Згідно формули (1) комбінований БОП складається з $(N-1)$ обчислювальних блоків, які виконують операцію “порівняти та переставити”, N вхідних, проміжних і вихідних n -розрядних регістрів та N мультиплексорів на 2 входи і демультиплексорів на 2 виходи.

На рис. 6 зображено структуру БОП ітераційного типу алгоритму сортування методом “парно-непарної” перестановки.

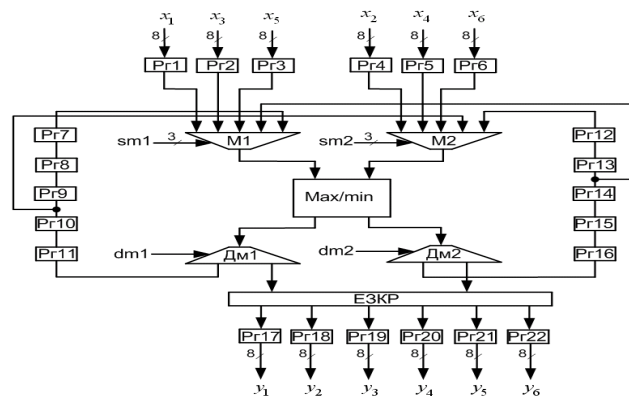


Рис. 6. Структура БОП ітераційного типу алгоритму сортування методом “парно-непарної” перестановки.

Дана структура БОП складається з 6-ти вхідних регістрів (Pr1,..., Pr6) на які подаються вхідні дані (x_1, \dots, x_6), одного операційного блоку, який послідовно в часі виконує всі однотипні операції алгоритму, 10-ти проміжних регістрів (Pr7,...,Pr16), які затримують проміжні результати на відповідну кількість тактів, 2-ох мультиплексорів (M1, M2), які за допомогою значень керуючих сигналів ($sm1, sm2$) згенерованих пристроєм керування послідовно пропускають вхідні дані та проміжні результати на входи операційного блоку, двох демультиплексорів (Дм1, Дм2), які за допомогою значень керуючих сигналів ($dm1, dm2$) розподіляють у потрібні моменти часу проміжні результати на входи операційного блоку а кінцеві результати на елементи затримки кінцевих результатів (ЕЗКР) після яких результати записуються у вихідні регістри (Pr17,...,Pr22).

Затрати обладнання на реалізацію БОП ітераційного типу для заданого алгоритму сортування будуть дорівнювати:

$$W_{\text{БОП}} = W_{\text{ОБ}} + NW_{\text{Rex}} + 2W_{\text{МП}((N/2+2) \rightarrow 1)} + 2W_{\text{ДМП}(1 \rightarrow 2)} + (2N-2)W_{\text{ЕЗПР}} + ((N/2-1) + (N-2))W_{\text{ЕЗКР}} + NW_{\text{Rвих}} \quad (2)$$

Згідно формули (2) БОП ітераційного типу складається з одного обчислювального блоку, який виконує операцію "порівняти і переставити" (max/min), N вхідних та вихідних n -розрядних регістрів, $(2N-2)$ елементів затримки проміжних результатів (ЕЗПР), двох $(N/2+2)$ -входових мультиплексорів, двох 2-виходових демультимплексорів та $(N/2-1) + (N-2)$ елементів затримки кінцевих результатів (ЕЗКР).

Підставивши у формули розрахунку затрат обладнання (1) і (2) для різних типів багатотактових операційних пристроїв зачення кількості вентилів, з яких складаються схема порівняння, мультиплексори, демультимплексори та регістри, отримано числові значення, на основі яких можна побудувати графіки залежності кількості логічних елементів (вентилів) від кількості вхідних даних для алгоритму сортування двійкових чисел методом "парно-непарної перестановки".

На рис. 7 подано графік залежності загальної кількості вентилів від величини вхідних даних для різних типів БОП збережені на основі отриманих аналітичних виразів.

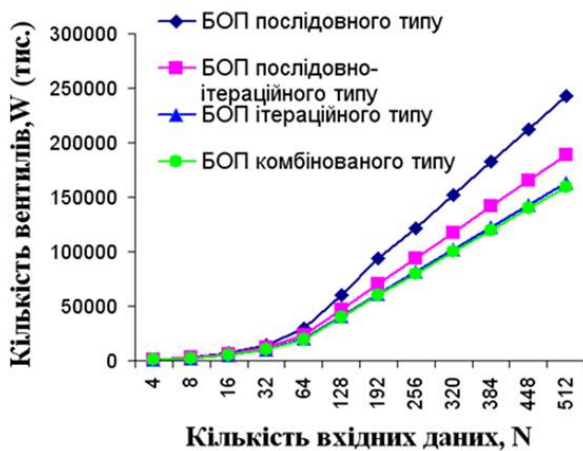


Рис. 7. Графіки залежності загальної кількості вентилів від величини вхідних даних для різних типів БОП

На рис. 8 подано графік залежності загальної кількості вентилів від величини вхідних даних для відомих одноктактового та конвеєрного операційних пристроїв (ОП) збережені на основі відомих аналітичних виразів.

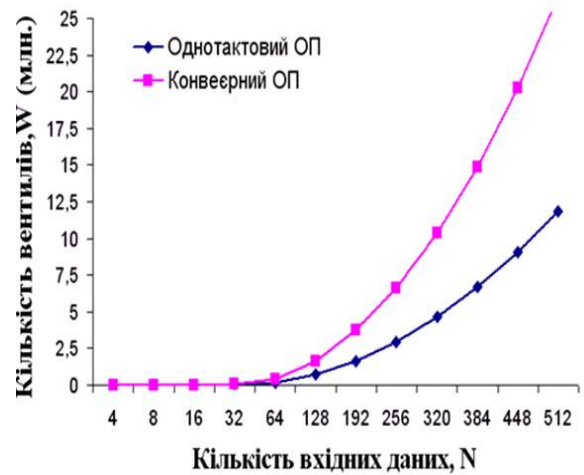


Рис. 8. Графіки залежності загальної кількості вентилів від величини вхідних даних для одноктактового і конвеєрного ОП

Як видно з графічних залежностей кількість логічних елементів, які необхідно для реалізації БОП алгоритму сортування методом "парно-непарної" перестановки при ($N \geq 128$) зменшується в десятки разів у порівнянні з відомими реалізаціями одноктактового та конвеєрного ОП.

IV. ВИСНОВКИ

При дослідженні різних способів апаратного представлення алгоритму сортування методом "парно-непарної" перестановки на основі просторово-часових графів, побудовано різні типи базових структур БОП та наведено формули розрахунку затрат обладнання на їхню реалізацію.

Отримані результати дослідження апаратної складності показали, що комбінований БОП має найменше логічних вентилів серед різних типів БОП. При порівнянні з відомими реалізаціями одноктактового та конвеєрного ОП для сортування великої кількості вхідних даних БОП сортування містять в десятки разів менше обладнання.

ЛІТЕРАТУРА REFERENCES

- [1] Д. Кнут, Искусство программирования для ЭВМ. Т.3: Пер. с англ. – М.: Мир, 1978. -841 с.
- [2] Д.А. Поспелов, Введение в вычислительные системы. Москва: "Советское радио", 1972. – 323 с.
- [3] С. Кун, Матричные процессоры на СБИС: Пер. с англ. – М.: Мир, 1991. – 672 с.
- [4] А.О. Мельник, Пам'ять із впорядкованим доступом: монографія – Львів: Видавництво Львівської політехніки, 2014. – 296 с.
- [5] Б.Я. Цилькер, С.А. Орлов, Организация ЭВМ и систем: Учебник для вузов. – спб.: Питер, 2006. – 668 с.
- [6] В.Л. Шило, Популярные цифровые микросхемы: Справочник. – М.: Радио и связь, 1987. – 352 с.
- [7] В. М. Грига, Особливості побудови багатотактових операційних пристроїв. // Матеріали 5-ї міжнародної конференції "Сучасні комп'ютерні системи та мережі: Розробка та використання" – Львів: НУ "Львівська політехніка", 2011. – С. 243-244.